

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): EGAWA, et al.
Serial No.: Not yet assigned
Filed: December 24, 2003
Title: PHOTODIODE AND IMAGE SENSOR
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

December 24, 2003

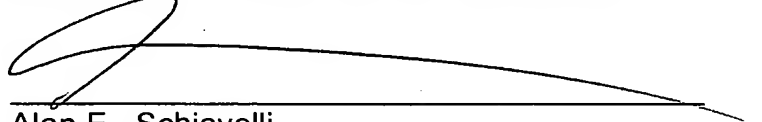
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2002-374129, filed December 25, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

A handwritten signature in dark ink, appearing to read 'Alan E. Schiavelli', is written over a horizontal line.

Alan E. Schiavelli
Registration No. 32,087

AES/alb
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 5 日
Date of Application:

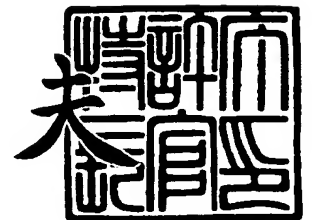
出 願 番 号 特 願 2 0 0 2 - 3 7 4 1 2 9
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 7 4 1 2 9]

出 願 人 トレセンティテクノロジーズ株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 6 8 0 0

【書類名】 特許願

【整理番号】 H02014821

【提出日】 平成14年12月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 31/10

【發明者】

【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテク
ノロジーズ株式会社内

【氏名】 江川 雄一

【發明者】

【住所又は居所】 茨城県ひたちなか市堀口751番地 トレセンティテク
ノロジーズ株式会社内

【氏名】 池田 修二

【特許出願人】

【識別番号】 500495256

【氏名又は名称】 トレセンティテクノロジーズ株式会社

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フォトダイオードおよびイメージセンサ

【特許請求の範囲】

【請求項 1】 基板の主面に形成された素子分離部に囲まれた活性領域に、不純物濃度が相対的に低い第 1 導電型の第 1 領域と、前記素子分離部から離間し、前記第 1 領域に囲まれた前記第 1 導電型とは異なる第 2 導電型の第 2 領域と、少なくとも前記基板の表面に近い前記第 2 領域の側面から前記素子分離部までの間に設けられた不純物濃度が相対的に高い第 1 導電型の第 3 領域とを有することを特徴とするフォトダイオード。

【請求項 2】 請求項 1 記載のフォトダイオードにおいて、前記第 3 領域が前記第 2 領域の周りを全て囲むことを特徴とするフォトダイオード。

【請求項 3】 請求項 1 記載のフォトダイオードにおいて、前記基板の表面における前記第 2 領域と前記第 3 領域との界面が、熱酸化法で形成された絶縁膜で覆われていることを特徴とするフォトダイオード。

【請求項 4】 請求項 1 記載のフォトダイオードにおいて、前記第 2 領域から前記素子分離部までの距離は、前記第 2 領域と前記第 3 領域との界面から前記素子分離部の方へ広がる空乏層の幅よりも大きいことを特徴とするフォトダイオード。

【請求項 5】 請求項 4 記載のフォトダイオードにおいて、前記第 2 領域から前記素子分離部までの距離は、 $0.5 \sim 2 \mu\text{m}$ 程度であることを特徴とするフォトダイオード。

【請求項 6】 請求項 1 記載のフォトダイオードにおいて、前記第 3 領域の不純物濃度は $10^{17} \sim 10^{19} / \text{cm}^3$ 程度であることを特徴とするフォトダイオード。

【請求項 7】 基板の主面に形成された素子分離部に囲まれた活性領域に、第 1 導電型の第 1 領域と、前記素子分離部から離間し、前記第 1 領域に囲まれた前記第 1 導電型とは異なる第 2 導電型の第 2 領域と、前記基板の表面における前記第 2 領域と前記第 1 領域との界面を覆う熱酸化法で形成された絶縁膜とを有することを特徴とするフォトダイオード。

【請求項 8】 基板の主面に形成された素子分離部に囲まれた活性領域に、不純物濃度が相対的に低い第 1 導電型の第 1 領域と、前記素子分離部から離間し、前記第 1 領域に囲まれた前記第 1 導電型とは異なる第 2 導電型の第 2 領域と、少なくとも前記基板の表面に近い前記第 2 領域の側面から前記素子分離部までの間に設けられた不純物濃度が相対的に高い第 1 導電型の第 3 領域とを有するフォトダイオードと、

ソース・ドレインを構成する第 2 導電型の第 4 領域の一方が前記フォトダイオードの前記第 2 領域に繋がる電界効果トランジスタとを備えることを特徴とするイメージセンサ。

【請求項 9】 請求項 8 記載のイメージセンサにおいて、前記第 3 領域が前記第 2 領域の周りを全て囲むことを特徴とするイメージセンサ。

【請求項 10】 請求項 9 記載のイメージセンサにおいて、前記第 3 領域は、前記電界効果トランジスタのゲート電極から少なくとも前記第 3 領域の拡散長分の距離を離れて配置されることを特徴とするイメージセンサ。

【請求項 11】 請求項 10 記載のイメージセンサにおいて、前記第 3 領域から前記電界効果トランジスタのゲート電極までの距離は、 $1 \sim 2 \mu\text{m}$ 程度であることを特徴とするイメージセンサ。

【請求項 12】 請求項 8 記載のイメージセンサにおいて、前記第 3 領域が前記第 2 および第 4 領域の周りを全て囲むことを特徴とするイメージセンサ。

【請求項 13】 請求項 8 記載のイメージセンサにおいて、前記フォトダイオードが形成される活性領域の前記基板の表面における前記第 2 領域と前記第 3 領域との界面が、熱酸化法で形成された絶縁膜で覆われていることを特徴とするイメージセンサ。

【請求項 14】 請求項 13 記載のイメージセンサにおいて、前記絶縁膜は、前記電界効果トランジスタのゲート絶縁膜と同一層であることを特徴とするイメージセンサ。

【請求項 15】 請求項 8 記載のイメージセンサにおいて、前記第 2 領域から前記素子分離部までの距離は、前記第 2 領域と前記第 3 領域との界面から前記素子分離部の方へ広がる空乏層の幅よりも大きいことを特徴とするイメージセン

サ。

【請求項 16】 請求項 15 記載のイメージセンサにおいて、前記第 2 領域から前記素子分離部までの距離は、 $0.5 \sim 2 \mu\text{m}$ 程度であることを特徴とするイメージセンサ。

【請求項 17】 請求項 8 記載のイメージセンサにおいて、前記第 3 領域の不純物濃度は $10^{17} \sim 10^{19} / \text{cm}^3$ 程度であることを特徴とするイメージセンサ。

【請求項 18】 請求項 8 記載のイメージセンサにおいて、前記第 2 領域と前記第 4 領域とは同一工程で形成されることを特徴とするイメージセンサ。

【請求項 19】 基板の主面に形成された素子分離部に囲まれた活性領域に、不純物濃度が相対的に低い第 1 導電型の第 1 領域と、前記素子分離部から離間し、前記第 1 領域に囲まれた前記第 1 導電型とは異なる第 2 導電型の第 2 領域と、前記基板の表面における前記第 2 領域と前記第 1 領域との界面を覆う熱酸化法で形成された絶縁膜とを有するフォトダイオードと、

ソース・ドレインを構成する前記第 2 導電型の第 4 領域の一方が前記フォトダイオードの前記第 2 領域に繋がる電界効果トランジスタとを備えることを特徴とするイメージセンサ。

【請求項 20】 基板の主面側に形成された素子分離部に囲まれた活性領域に、前記主面に露出する第 1 導電型の第 1 領域と、前記素子分離部から離間し、前記主面に露出し前記第 1 領域内に形成され前記第 1 領域より不純物濃度が高い第 2 導電型の第 2 領域と、前記素子分離部と前記第 2 領域とが接近している箇所に位置し、前記主面、前記素子分離部、前記第 1 領域及び前記第 2 領域に接する前記第 1 領域より不純物濃度が高い第 1 導電型の第 3 領域とを具備することを特徴とするフォトダイオード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フォトダイオードおよびその製造技術に関し、特に、CMOS イメージセンサに備わるフォトダイオードに適用して有効な技術に関する。

【0002】

【従来の技術】

現在、画像を電気信号に変換する撮像デバイスとして、撮像管や光電子増倍管に代わりイメージセンサ（固体撮像デバイス）が用いられている。イメージセンサは、フォトダイオード等の光電変換素子を2次元に多数配列させ、各光電変換素子で得られた信号電荷をスイッチングまたは転送により出力端子まで順次走査し、そこから信号電荷を読み出すものである。イメージセンサとして、MOS（Metal Oxide Semiconductor）、CCD（Charge Couples Device）、CPD（Charge Priming Device）、CSD（Charge Sweep Device）などの様々なタイプが開発されているが、高速化が要求される分野ではCMOS（Complementary MOS）タイプが主流になっている。

【0003】

CMOSイメージセンサにも幾つかの種類があるが、一般にはフォトダイオードと1つの電界効果トランジスタ（Metal Insulator Semiconductor Field Effect Transistor：以下MISFETと記す）との組み合わせで受光部の画素が形成される。各画素はアレイ状に並べられて垂直、水平シフトレジスタに接続されており、各画素に入射された光をフォトダイオードで光電変換し、垂直、水平シフトレジスタによって各画素を順次走査することにより、全画層の信号が出力端子に読み出される（例えば、非特許文献1および2参照）。

【0004】

なお、受光部領域とスイッチ部領域とからなる画素で、受光部領域とスイッチ部領域とが隣合わせになるように配置し、各画素の受光部領域は、所定の1次元方向で隣接する画素の受光部領域と隣合わせになるように配置した構成が開示されている（例えば、特許文献1参照）。

【0005】

また、フォトダイオード等の光電変換部の基板表面からのn型領域の深さを、光電変換部の基板表面からの素子分離絶縁層の深さよりも深く形成して、リーク電流による再生画像の著しい劣化を防ぐ方法が開示されている（例えば、特許文献2参照）。

【 0 0 0 6 】

【非特許文献 1】

竹村裕夫著「CCDカメラ技術入門」コロナ社出版、1997年12月15日、P37-41

【 0 0 0 7 】

【非特許文献 2】

Kevin Ng, “Technology Review of Charge-Coupled Device and CMOS Based Electronic Imagers” 2001年11月21日、[2002年10月10日検索]、インターネット<URL : http://www.eecg.toronto.edu/~kphang/ecel352f/papers/ng_CCD.pdf>

【 0 0 0 8 】

【特許文献 1】

特開平 1 0 - 3 2 6 3 4 1 号公報

【 0 0 0 9 】

【特許文献 2】

特開平 1 0 - 3 0 8 5 0 7 号公報

【 0 0 1 0 】

【発明が解決しようとする課題】

CMOS イメージセンサの受光部の 1 画素は、例えば n^+ - p 接合フォトダイオードと n チャネル MISFET とから構成される。基板に n 型不純物が導入されてなる n^+ 型領域と p 型不純物が導入されてなる p 型領域とによってフォトダイオードが形成されるが、 n^+ 型領域は n チャネル MISFET のソース・ドレインを構成する n 型領域と同一工程、 p 型領域は p ウェルと同一工程で形成される。さらに隣接するフォトダイオードの間は、素子分離部によって電氣的に分離される。

【 0 0 1 1 】

ところで、フォトダイオードに逆バイアスを印加（ n^+ 型領域に、 p 型領域に印加する電圧よりも高い正の電圧を印加）した場合、微小な電流、いわゆるリーク電流が流れる。微小とはいえリーク電流が流れると、画像のノイズレベルが上

がる、待機電流が大きくなり消費電力が増加するなどの問題が生じる。このため、リーク電流の低減はフォトダイオードにおいて重要な課題である。

【0012】

しかしながら、本発明者が検討したところ、フォトダイオードの n^+ 型領域が素子分離部に直接接触すると、界面準位または基板の結晶不整合などの影響によってリーク電流が大きくなることが明らかとなった。また、たとえフォトダイオードの n^+ 型領域と素子分離部とが離間していたとしても、 p 型領域の不純物濃度が不十分であると空乏層が大きく広がり、結果的にリーク電流が大きくなってしまふことが明らかとされた。

【0013】

本発明の目的は、フォトダイオードの p n 接合部における過大なリーク電流を防止することのできる技術を提供することにある。

【0014】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】

本発明は、 p 型のシリコン単結晶からなる半導体基板の主面に素子分離部を形成し、この素子分離部に囲まれた活性領域に、相対的に低濃度の p ウェルと、素子分離部から離間し、 p ウェルに囲まれた n 型領域と、少なくとも半導体基板の表面に近い n 型領域の側面から素子分離部までの間に設けられた相対的に高濃度の p 型領域とを有するフォトダイオードを構成するものである。

【0017】

本発明は、 p 型のシリコン単結晶からなる半導体基板の主面に素子分離部を形成し、この素子分離部に囲まれた活性領域に、相対的に低濃度の p ウェルと、素子分離部から離間し、 p ウェルに囲まれた n 型領域と、少なくとも半導体基板の

表面に近い n 型領域の側面から素子分離部までの間に設けられた相対的に高濃度の p 型領域とを有するフォトダイオードを構成し、さらにこのフォトダイオードと、ソース・ドレインを構成する n 型領域の一方がフォトダイオードの n 型領域と繋がる電界効果トランジスタとを有するイメージセンサを構成するものである。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0019】

(実施の形態 1)

図 1 は、本実施の形態 1 であるイメージセンサの受光部を構成する 1 画素の等価回路である。

【0020】

イメージセンサの受光部を構成する各画素は、フォトダイオード D_1 と、フォトダイオード D_1 で蓄えた信号電荷を画素の外につたえる際にスイッチとして機能する MISFETTr とを有している。各画素は、画素選択線を介して MISFETTr のゲートに印加されるパルスによってスイッチングされ、フォトダイオード D_1 に蓄えられた信号電荷がデータ線を介して出力に取り出される。光が各画素に入射されるとフォトダイオード D_1 で光電変換されて、光の強弱に応じた信号電荷が時間とともに蓄積される。

【0021】

図 2 は、本実施の形態 1 であるイメージセンサの受光部を構成する 1 画素の平面レイアウト図、図 3 は、図 2 の A-A' 線における半導体基板の要部断面図である。

【0022】

p 型のシリコン多結晶膜からなる半導体基板 1 の主面には、素子分離部 2 に囲まれた活性領域 AC が形成され、活性領域 AC には p 型不純物、例えばボロンが

導入されてなる相対的に低濃度の p ウェル 3 が形成されている。この半導体基板 1 の表面には n 型不純物、例えばリンまたはヒ素が導入されてなるフォトダイオード D_1 の n 型領域 4 a が形成されており、p ウェル 3 と n 型領域 4 a との間でフォトダイオード D_1 の p n 接合を構成する。

【0023】

半導体基板 1 の表面には n 型不純物が導入されてなる MISFETTr のソース・ドレインを構成する一対の n 型領域 4 b が形成されている。n 型領域 4 b は、相対的に低濃度の n 型拡張領域 4 b₁ と相対的に高濃度の n 型拡散領域 4 b₂ とから構成され、フォトダイオード D_1 の n 型領域 4 a と MISFETTr のソース・ドレインの一方を構成する n 型領域 4 b とは繋がっており、互いに電氣的に接続されている。n 型領域 4 a および n 型拡散領域 4 b₂ の不純物濃度は、例えば $10^{20} \sim 10^{22} / \text{cm}^3$ 程度である。

【0024】

フォトダイオード D_1 の n 型領域 4 a を囲んで p 型不純物、例えばボロンが導入されてなる p 型領域 5 が形成されている。この p 型領域 5 の不純物濃度は、p ウェル 3 の不純物濃度に比して相対的に高く、例えば $10^{17} \sim 10^{19} / \text{cm}^3$ 程度である。この p 型領域 5 は、少なくとも p 型領域 5 の拡散長分の距離を MISFETTr のゲート電極 7 から離れて形成されており、ゲート電極 7 から p 型領域 5 までの距離は、例えば $1 \sim 2 \mu\text{m}$ 程度である。

【0025】

また、フォトダイオード D_1 の n 型領域 4 a と p 型活領域 5 との境界に生じる空乏層が、半導体基板 1 と素子分離部 2 との界面近傍に生ずる界面準位または半導体基板 1 を構成するシリコン単結晶の結晶不整合に起因した応力などの影響を受けないように、n 型領域 4 a は素子分離部 2 から、例えば $0.5 \sim 2.0 \mu\text{m}$ 程度離れて形成されている。さらに n 型領域 4 a と素子分離部 2 との間には p 型領域 5 が形成されている。

【0026】

MISFETTr のソース・ドレインを構成する一対の n 型領域 4 b の間には、図示はしないが、しきい値電圧制御層が形成されている。このしきい値電圧制

御層の上には酸化シリコン膜 6 a からなるゲート絶縁膜 6 が形成されている。この酸化シリコン膜 6 a は熱酸化法または CVD 法により形成され、MISFET Tr 形成領域以外の半導体基板 1 の表面にも形成される。さらにその上にはシリコン多結晶膜からなるゲート電極 7 が構成されている。このゲート電極 7 は画素選択線としても機能する。なお、ゲート電極 7 は、シリコン多結晶膜およびシリサイド膜が下層から順に堆積された積層膜、またはシリコン多結晶膜および金属膜が下層から順に堆積された積層膜などで構成してもよい。

【0027】

MISFET Tr のゲート電極 7 の側壁にはサイドウォールスペーサ 8 が形成され、さらにゲート電極 7 の上層には、例えば酸化シリコン膜からなる絶縁膜 9 が形成されている。この絶縁膜 9 には、フォトダイオード D₁ の n 型領域 4 a に繋がらない他方の n 型領域 4 b に達するコンタクトホール 10 が開孔している。コンタクトホール 10 の内部にはバリア膜、例えば窒化チタン膜および金属膜、例えばタンゲステン膜が埋め込まれてプラグ 11 が形成されており、このプラグ 11 を介して、配線（データ線）12 がフォトダイオード D₁ の n 型領域 4 a に繋がらない他方の n 型領域 4 b に接続されている。

【0028】

図 4 は、本実施の形態 1 であるフォトダイオードの p n 接合の電流－電圧特性および本発明者が検討したフォトダイオードの p n 接合の電流－電圧特性を示すグラフ図である。本発明者が検討したフォトダイオードは、p ウェルと素子分離部に接した n 型領域とからなる p n 接合構造を有している。

【0029】

電圧が 0 V において、本実施の形態 1 であるフォトダイオード D₁ のリーク電流が、本発明者が検討したフォトダイオード D₀ のリーク電流に比べて約 1/2 に低減していることがわかる。

【0030】

次に、本実施の形態 1 であるイメージセンサの受光部を構成する画素の製造方法の一例を図 5～図 10 に示す半導体基板の要部断面図を用いて工程順に示す。

【0031】

まず、図5に示すように、例えばp型のシリコン単結晶からなる半導体基板（円形の薄い板状に加工した半導体ウエハ）1を用意する。次に、半導体基板1を熱酸化してその表面に厚さ $0.01\mu\text{m}$ 程度の薄い酸化シリコン膜13を形成し、続いてその上層にCVD（Chemical Vapor Deposition）法で厚さ $0.1\mu\text{m}$ 程度の窒化シリコン膜14を堆積する。この後、レジストパターンをマスクとして窒化シリコン膜14、酸化シリコン膜13および半導体基板1を順次エッチングすることにより、素子分離領域の半導体基板1に深さ $0.35\mu\text{m}$ 程度の素子分離溝2aを形成する。

【0032】

次に、図6に示すように、半導体基板1上に酸化シリコン膜2bを堆積した後、半導体基板1を約 1000°C でアニールして、酸化シリコン膜2bを焼き締める。続いて酸化シリコン膜2bをエッチバックまたはCMP（Chemical Mechanical Polishing）法で研磨して、素子分離溝2aの内部に酸化シリコン膜2bを残すことにより素子分離部2を形成する。その後、熱リン酸を用いたウェットエッチングで窒化シリコン膜14を除去する。

【0033】

なお、半導体基板1上に酸化シリコン膜2bを堆積する前に、熱酸化法によって酸化シリコン膜を成膜し、続いてこの酸化シリコン膜をフッ酸系の水溶液でウェットエッチングする工程を加えてもよい。これにより、半導体基板1と酸化シリコン膜2bとの界面をより清浄にすることができる。また素子分離部2の形成に、LOCOS（Local Oxidation of Silicon）法を用いてもよい。

【0034】

次に、半導体基板1に不純物をイオン注入し、pウェル3を形成する。pウェル3にはp型の導電型を示す不純物、例えばボロンをイオン注入する。p型不純物としてボロンをイオン注入する際の打ち込み条件としては、エネルギー 100keV 、ドーズ量 $5\times 10^{12}/\text{cm}^2$ およびエネルギー 15keV 、ドーズ量 $5\times 10^{12}/\text{cm}^2$ を例示することができる。この後、pウェル3にMISFET Trのしきい値を制御するための不純物をイオン注入してもよい。次いで熱酸化法またはCVD法により、半導体基板1の表面にMISFET Tr形成領域では

ゲート絶縁膜 6 となる酸化シリコン膜 6 a を形成する。

【0035】

次に、図 7 に示すように、n 型不純物、例えばリンが導入された 200 nm 程度の厚さのシリコン多結晶膜を CVD 法で半導体基板 1 上に堆積した後、レジストパターンをマスクとしてシリコン多結晶膜をエッチングし、シリコン多結晶膜からなるゲート電極 7 を形成する。この後、半導体基板 1 に、例えば 800℃ 程度のドライ酸化処理を施す。

【0036】

次に、半導体基板 1 に n 型不純物、例えばリンまたはヒ素をイオン注入して、ソース・ドレインを構成する n 型拡張領域 4 b₁ を形成する。n 型不純物としてリンをイオン注入する際の打ち込み条件としては、エネルギー 60 keV、ドーズ量 $10^{13}/\text{cm}^2$ を例示することができる。

【0037】

次に、図 8 に示すように、半導体基板 1 上に厚さ 150 nm 程度の窒化シリコン膜を堆積した後、この窒化シリコン膜を、例えば RIE (Reactive Ion Etching) 法で異方性エッチングしてゲート電極 7 の側壁にサイドウォールスペーサ 8 を形成する。

【0038】

次に、レジストパターン RP₁ をマスクとして、半導体基板 1 に n 型不純物、例えばリンまたはヒ素をイオン注入して、フォトダイオード D₁ の n 型領域 4 a および MISFETTr のソース・ドレインを構成する n 型拡散領域 4 b₂ を形成する。レジストパターン RP₁ は、素子分離部 2 から 0.5 ~ 2 μm 程度離れた活性領域が開孔しており、n 型不純物としてヒ素をイオン注入する際の打ち込み条件としては、エネルギー 80 keV、ドーズ量 $10^{15}/\text{cm}^2$ を例示することができる。これにより、MISFETTr では n 型拡張領域 4 b₁ および n 型拡散領域 4 b₂ によってソース・ドレインを構成する n 型領域 4 b が形成される。この場合、n 型拡張領域 4 b₁ の不純物濃度を相対的に低く、n 型拡散領域 4 b₂ の不純物濃度を相対的に高くすることにより、ゲート電極 7 端部の電界緩和ができる LDD (lightly Doped Drain) 構造のソース・ドレインが形成される。

【0039】

次に、図9に示すように、レジストパターン RP_1 を除去した後、半導体基板1を、例えば1000℃、10秒でアニールする。続いてレジストパターン RP_2 をマスクとして、半導体基板1にp型不純物、例えばボロンをイオン注入してp型領域5を形成する。レジストパターン RP_2 は、フォトダイオード D_1 形成領域のn型領域4aが開孔しており、斜めイオン注入によりp型不純物が打ち込まれる。p型不純物としてボロンをイオン注入する際の打ち込み条件としては、斜め45°、エネルギー100keV、ドーズ量 $10^{13}/cm^2$ を例示することができる。フォトダイオード D_1 形成領域のみにp型領域5を形成するので、MISFETTrの諸特性を考慮することなく、p型領域5の最適濃度を設定することができる。

【0040】

次に、図10に示すように、半導体基板1上に、例えば酸化シリコン膜からなる絶縁膜9を形成した後、この絶縁膜9を、例えばCMP法で研磨することによりその表面を平坦化する。続いてレジストパターンをマスクとしてエッチングによって絶縁膜9にコンタクトホール10を形成する。このコンタクトホール10はMISFETTrのソース・ドレインを構成する他方のn型領域4b上などの必要部分に形成する。

【0041】

さらにコンタクトホール10の内部を含む半導体基板1の全面にチタン膜と窒化チタン膜の積層膜を、例えばCVD法で形成し、さらにコンタクトホール10を埋め込むタンゲステン膜を、例えばCVD法で形成する。その後、コンタクトホール10以外の領域の窒化チタン膜およびタンゲステン膜を、例えばCMP法により除去してコンタクトホール10の内部にプラグ11を形成する。

【0042】

次に、半導体基板1上に、例えばアルミニウム合金膜を形成した後、レジストパターンをマスクとしたエッチングによってアルミニウム合金膜を加工し、前記図3に示す配線12を形成する。アルミニウム合金膜は、例えばスパッタ法により形成できる。その後、パッシベーション膜で半導体基板1の全面を覆うことに

より、フォトダイオード D_1 および $MISFETTr$ からなるイメージセンサの受光部が略完成する。

【0043】

なお、本実施の形態1では、半導体基板1の表面に形成される絶縁膜はゲート絶縁膜6と同一層の酸化シリコン膜6aとしたが、これに限定されるものではない。例えばサイドウォールスペーサを形成した後の工程において、洗浄処理により半導体基板1の表面を露出させた後、熱酸化法またはCVD法により酸化シリコン膜を形成してもよい。

【0044】

このように、本実施の形態1によれば、フォトダイオード D_1 のn型領域4aを素子分離部2から離間させ、さらにn型領域4aを囲んで相対的に高濃度のp型領域5を形成することにより、フォトダイオード D_1 のn型領域4aとp型領域5との境界に生じる空乏層が、半導体基板1と素子分離部2との界面近傍に生ずる界面準位または半導体基板1を構成するシリコン単結晶の結晶不整合に起因した応力などの影響を受けにくくなるので、フォトダイオード D_1 のpn接合におけるリーク電流を低減することができる。またフォトダイオード D_1 形成領域のみにn型領域4aを形成するので、 $MISFETTr$ の諸特性を考慮することなく、p型領域5の最適濃度を設定することができる。

【0045】

(実施の形態2)

図11は、本実施の形態2であるイメージセンサの受光部を構成する1画素の平面レイアウト図、図12は、図11のB-B'線における半導体基板の要部断面図である。

【0046】

前記実施の形態1で示したイメージセンサの受光部を構成する画素と同様に、半導体基板1の主面にp型ウェル3およびn型領域4aからなるpn接合のフォトダイオード D_2 と、ソース・ドレイン(n型領域4b)、ゲート絶縁膜6およびゲート電極7からなる $MISFETTr$ とが形成されており、n型領域4a、4bは素子分離部2から、例えば0.5~2.0 μm 程度離れて形成されている。

【0047】

本実施の形態2では、n型領域4a、4bと素子分離部2との間にp型領域5が形成され、さらにフォトダイオードD₂のn型領域4aおよびこれに繋がるMISFETTrのソース・ドレインを構成するn型領域4bがp型領域15によって全て囲まれている。このp型領域15は、斜めイオン注入で活性領域ACにp型不純物をイオン注入することにより、n型領域4a、4bを包み込むように形成される。p型不純物としてボロンをイオン注入する際の打ち込み条件としては、斜め45°、エネルギー100keV、ドーズ量 $10^{13}/\text{cm}^2$ を例示することができる。

【0048】

このように、本実施の形態2によれば、フォトダイオードD₂のn型領域4aおよびこれに繋がるMISFETTrのソース・ドレインを構成するn型領域4bを全てp型領域15で囲むことにより、フォトダイオードD₂のpn接合におけるリーク電流を低減することができる。

【0049】

(実施の形態3)

図13は、本実施の形態3であるイメージセンサの受光部を構成する1画素を示す半導体基板の要部断面図である。

【0050】

前記実施の形態1で示したイメージセンサの受光部を構成する画素と同様に、半導体基板1の主面にp型ウェル3およびn型領域4aからなるpn接合のフォトダイオードD₃と、ソース・ドレイン(n型領域4b)、ゲート絶縁膜6およびゲート電極7からなるMISFETTrとが形成されており、n型領域4a、4bは素子分離部2から、例えば0.5~2.0 μm 程度離れて形成されている。

【0051】

本実施の形態3では、相対的に高濃度のp型領域16が、フォトダイオードD₃の半導体基板1の表面に近いn型領域4aの側面を囲んで形成されており、半導体基板1の表面に近いn型領域4aの側面と素子分離部2の間にp型領域16が形成されている。このp型領域16は、フォトダイオードD₃形成領域のn型

領域 4 a が開孔されたレジストパターンを用いて、相対的に低エネルギーの斜めイオン注入により p 型不純物をイオン注入することにより形成される。

【0052】

このように、本実施の形態 3 によれば、フォトダイオード D_3 の半導体基板 1 の表面に近い n 型領域 4 a の側面を囲んで p 型領域 16 を形成することにより、フォトダイオード D_3 の p n 接合におけるリーク電流を低減することができる。さらに p 型領域 16 を形成する p 型不純物のイオン注入の際、エネルギーを低くすることができるので、半導体基板 1 に与えるダメージが低減できる。

【0053】

(実施の形態 4)

図 14 は、本実施の形態 4 であるイメージセンサの受光部を構成する 1 画素を示す半導体基板の要部断面図である。

【0054】

前記実施の形態 1 で示したイメージセンサの受光部を構成する画素と同様に、半導体基板 1 の主面に p 型ウェル 3 および n 型領域 4 a からなる p n 接合のフォトダイオード D_4 と、ソース・ドレイン (n 型領域 4 b)、ゲート絶縁膜 6 およびゲート電極 7 からなる MISFETTr とが形成されており、n 型領域 4 a、4 b は素子分離部 2 から、例えば $0.5 \sim 2.0 \mu\text{m}$ 程度離れて形成されている。

【0055】

フォトダイオード D_4 形成領域の半導体基板 1 の表面に形成される絶縁膜は、半導体基板 1 を熱酸化して形成された絶縁膜、例えば酸化シリコン膜 17 からなり、半導体基板 1 の表面におけるフォトダイオード D_4 の n 型領域 4 a と p ウェル 3 との界面が必ずこの酸化シリコン膜 17 で覆われている。酸化シリコン膜 17 は、MISFETTr のゲート絶縁膜 6 と同一層の酸化シリコン膜で構成してもよく、または MISFETTr のゲート電極 7 の側壁にサイドウォールスペーサ 8 を形成した後に、半導体基板 1 の表面をフッ酸系の水溶液で洗浄し、続いて熱酸化法により形成した酸化シリコン膜で構成してもよい。

【0056】

本実施の形態 4 では、フォトダイオード D_4 の n 型領域 4 a を囲む p 型領域を

形成していないが、例えば前記実施の形態 1～3 に示した p 型領域 5, 15, 16 と同様な p 型領域を設けてもよい。これにより、p 型領域を設けない場合と比べて、リーク電流をより低減することができる。

【0057】

このように、本実施の形態 4 によれば、熱酸化法で形成された酸化シリコン膜 17 によって半導体基板 1 の表面におけるフォトダイオード D_4 の n 型領域 4a と p ウェル 3 との界面を覆うことにより、CVD 法で形成された絶縁膜、例えば酸化シリコン膜または窒化シリコン膜で上記界面を覆う場合に比べて、フォトダイオード D_4 の p n 接合のリーク電流を低減することができる。

【0058】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0059】

たとえば、前記実施の形態では、CMOS イメージセンサに適用した場合について説明したが、他の撮像デバイス、例えば CCD の画素にも本発明は適用可能である。

【0060】

また、前記実施の形態では、n 型領域と p ウェルで構成される p n 接合において、相対的に高濃度の p 型領域で n 型領域を囲んだ構造となっているが、p 型領域と n ウェルで構成される p n 接合において、相対的に高濃度の n 型領域で p 型領域を囲んだ構造であっても同様な効果が得られる。

【0061】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0062】

n 型領域と p 型領域とを有するフォトダイオードにおいて、n 型領域を素子分離部から離間させ、さらに少なくとも半導体基板の表面に近い n 型領域を囲むよ

うに相対的に高濃度の p 型領域を形成する。これにより、フォトダイオードの n 型領域と p 型領域との境界に生じる空乏層が界面準位または応力などの影響を受けにくくなり、フォトダイオードの p n 接合におけるリーク電流を低減することができる。

【図面の簡単な説明】

【図 1】

本実施の形態 1 であるイメージセンサの受光部を構成する 1 画素の等価回路図である。

【図 2】

本実施の形態 1 であるイメージセンサの受光部を構成する 1 画素の平面レイアウト図である。

【図 3】

図 2 の A - A' 線における半導体基板の要部断面図である。

【図 4】

本実施の形態 1 であるフォトダイオードの p n 接合の電流 - 電圧特性および本発明者が検討したフォトダイオードの p n 接合の電流 - 電圧特性を示すグラフ図である。

【図 5】

本実施の形態 1 であるイメージセンサの受光部を構成する画素の製造方法の一例を示す半導体基板の要部断面図である。

【図 6】

本実施の形態 1 であるイメージセンサの受光部を構成する画素の製造方法の一例を示す半導体基板の要部断面図である。

【図 7】

本実施の形態 1 であるイメージセンサの受光部を構成する画素の製造方法の一例を示す半導体基板の要部断面図である。

【図 8】

本実施の形態 1 であるイメージセンサの受光部を構成する画素の製造方法の一例を示す半導体基板の要部断面図である。

【図 9】

本実施の形態 1 であるイメージセンサの受光部を構成する画素の製造方法の一例を示す半導体基板の要部断面図である。

【図 10】

本実施の形態 1 であるイメージセンサの受光部を構成する画素の製造方法の一例を示す半導体基板の要部断面図である。

【図 11】

本実施の形態 2 であるイメージセンサの受光部を構成する 1 画素の平面レイアウト図である。

【図 12】

図 11 の B-B' 線における半導体基板の要部断面図である。

【図 13】

本実施の形態 3 であるイメージセンサの受光部を構成する 1 画素を示す半導体基板の要部断面図である。

【図 14】

本実施の形態 4 であるイメージセンサの受光部を構成する 1 画素を示す半導体基板の要部断面図である。

【符号の説明】

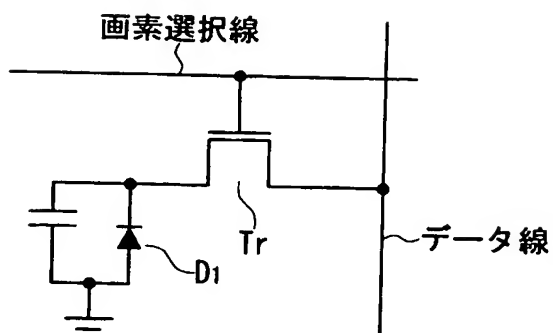
- 1 半導体基板
- 2 素子分離部
 - 2 a 素子分離溝
 - 2 b 酸化シリコン膜
- 3 p ウェル
 - 4 a n 型領域
 - 4 b n 型領域
 - 4 b₁ n 型拡張領域
 - 4 b₂ n 型拡散領域
 - 5 p 型領域
- 6 ゲート絶縁膜

6 a 酸化シリコン膜
7 ゲート電極
8 サイドウォールスペーサ
9 絶縁膜
1 0 コンタクトホール
1 1 プラグ
1 2 配線
1 3 酸化シリコン膜
1 4 窒化シリコン膜
1 5 p 型領域
1 6 p 型領域
1 7 酸化シリコン膜
A C 活性領域
D₀ フォトダイオード
D₁ フォトダイオード
D₂ フォトダイオード
D₃ フォトダイオード
D₄ フォトダイオード
T r M I S F E T
R P₁ レジストパターン
R P₂ レジストパターン

【書類名】 図面

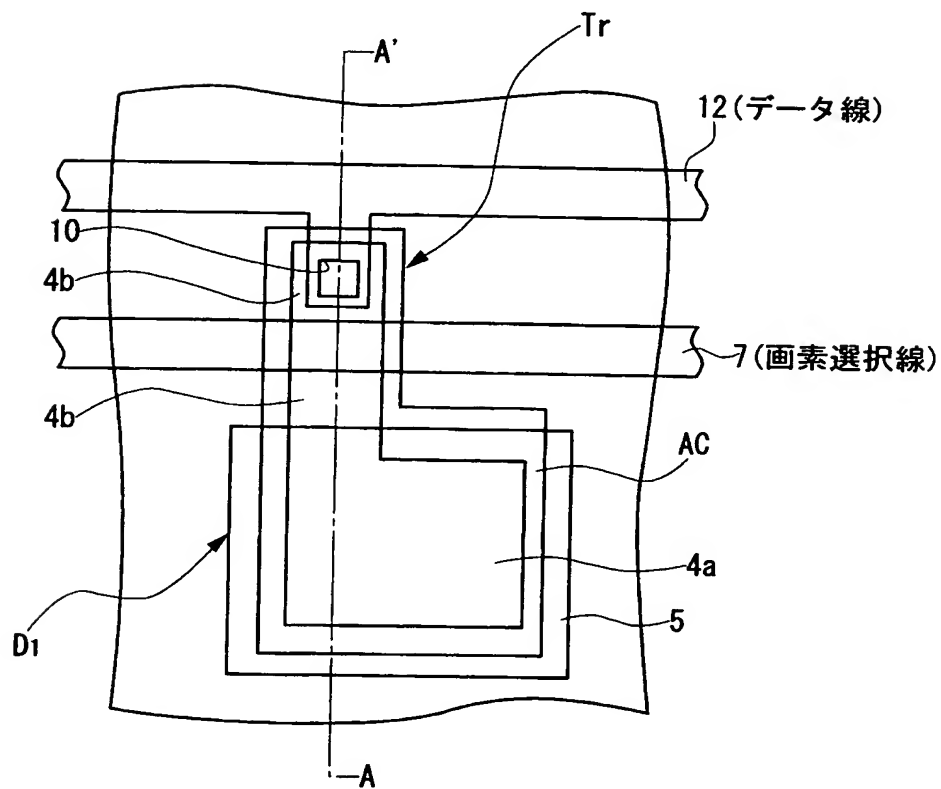
【図 1】

図 1



【図 2】

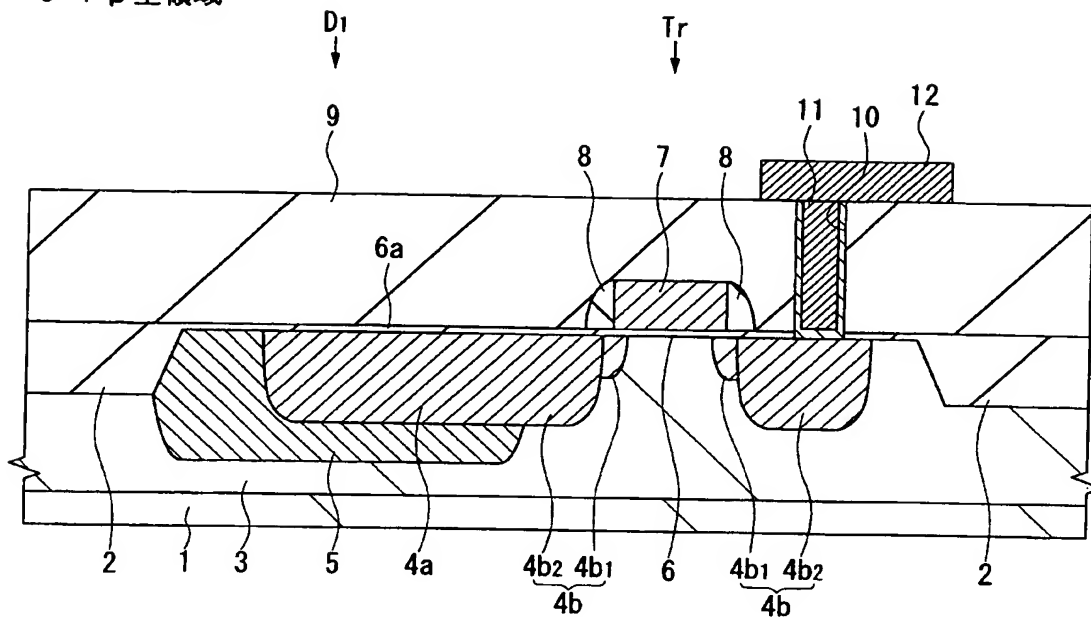
図 2



【図 3】

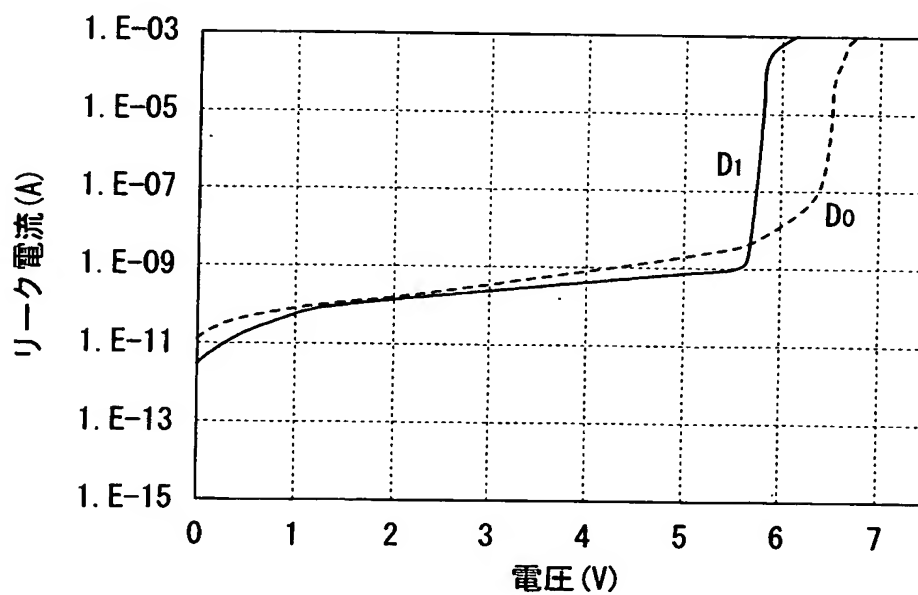
2 : 素子分離部
4a : n 型領域
5 : p 型領域

図 3



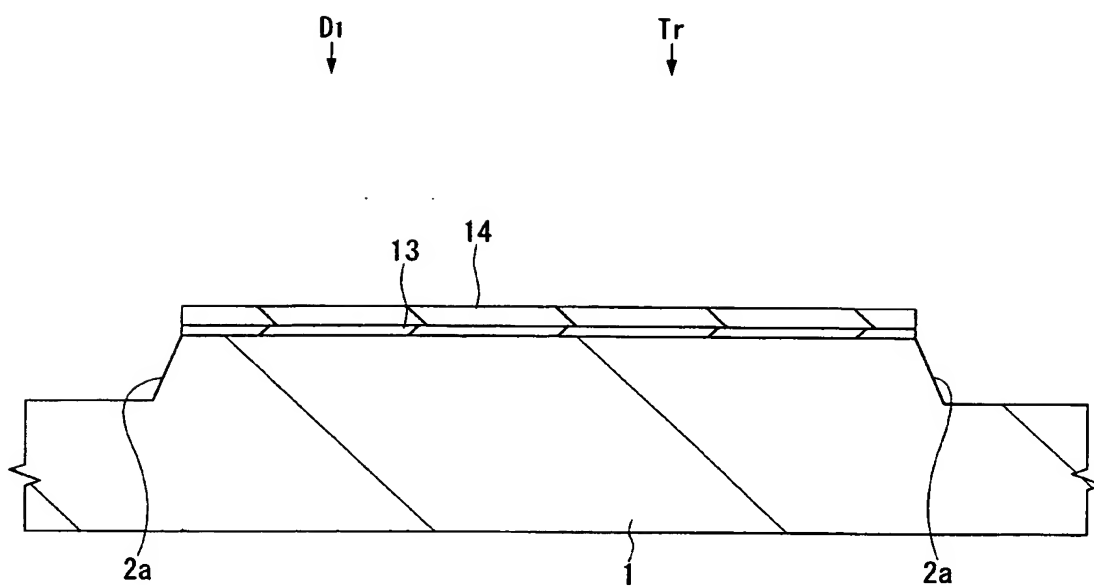
【図 4】

図 4



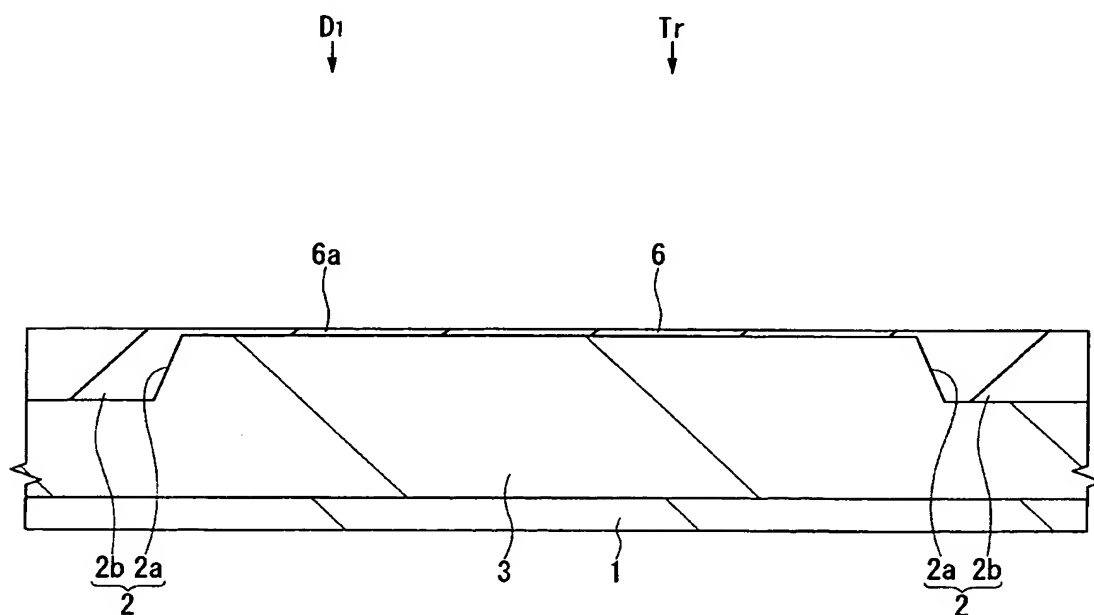
【図 5】

図 5



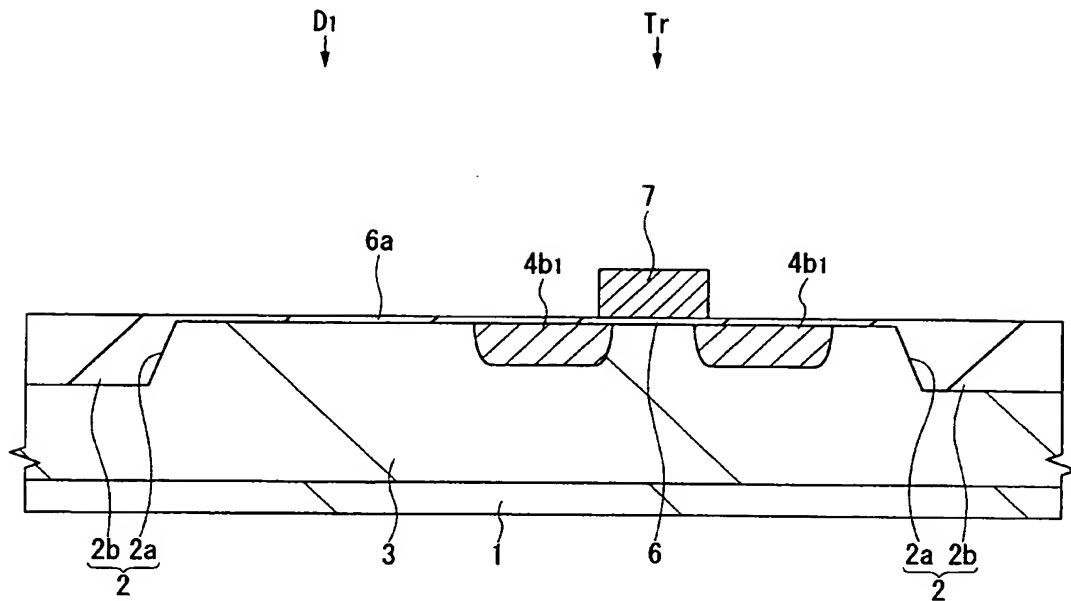
【図 6】

図 6



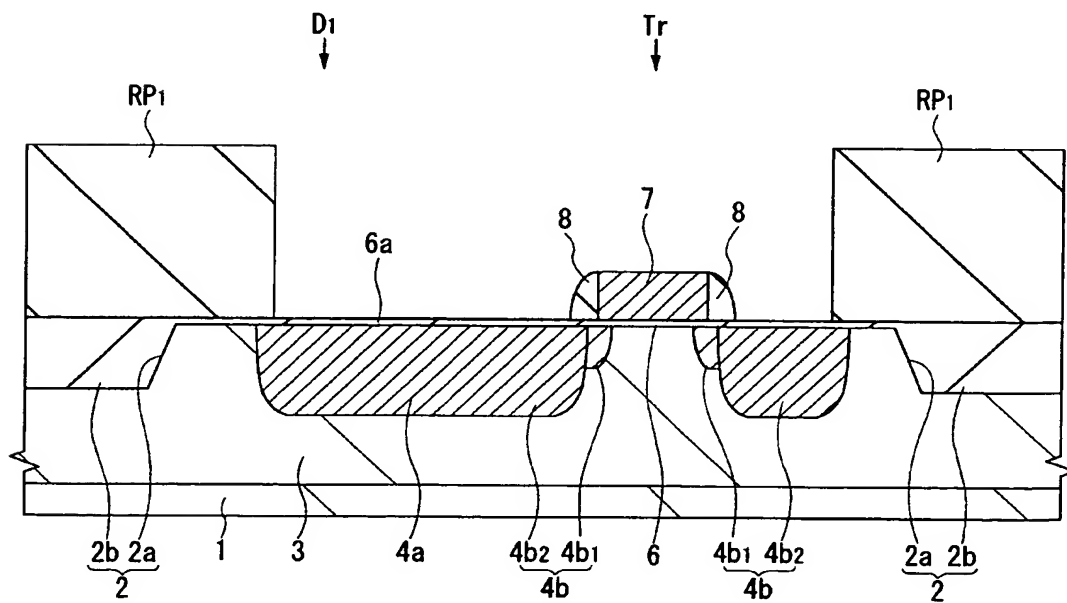
【図 7】

図 7

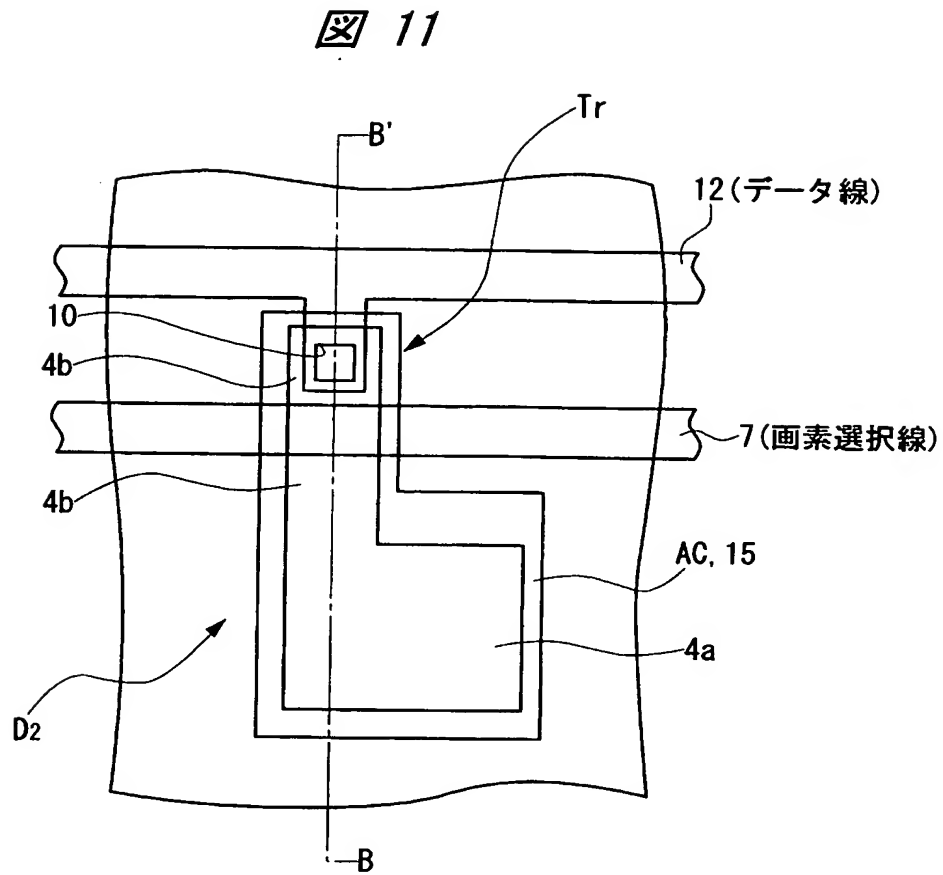


【図 8】

図 8

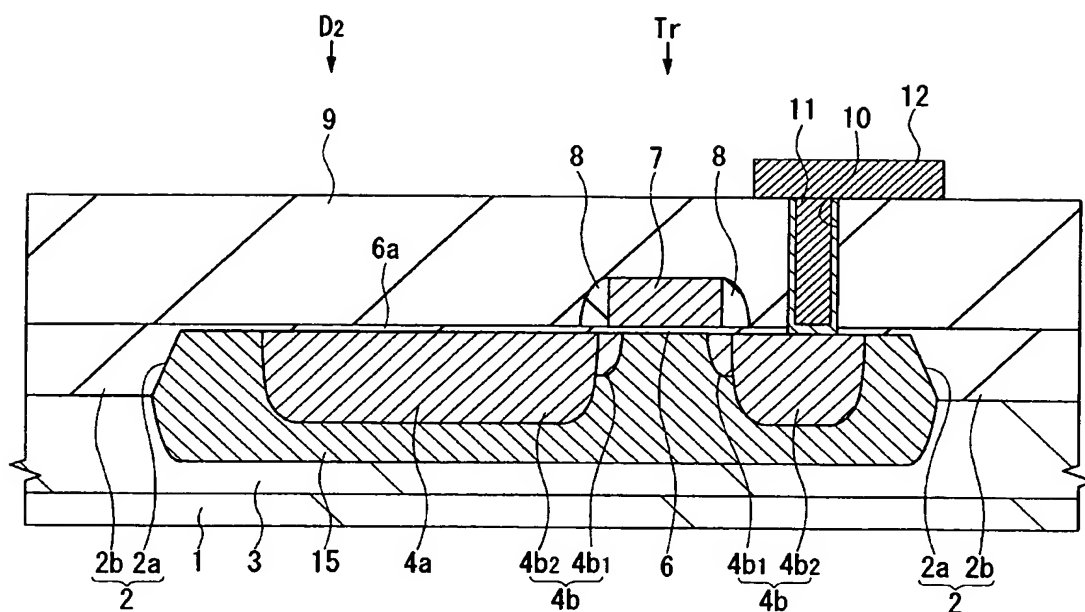


【図 1 1】



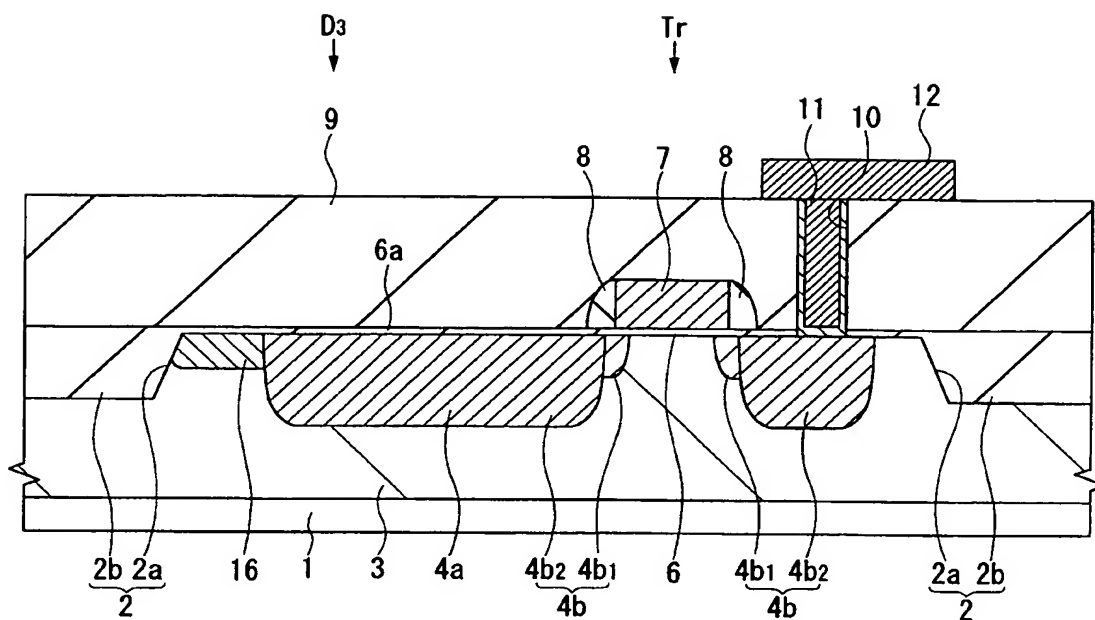
【図 12】

図 12



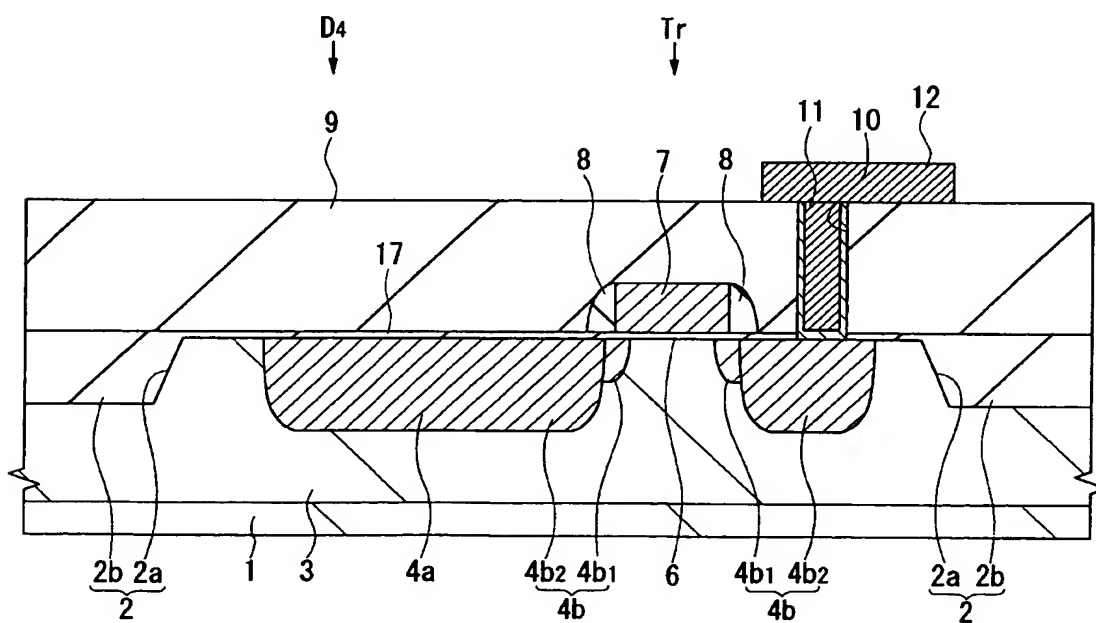
【図 13】

图 13



【図 14】

图 14



【書類名】 要約書

【要約】

【課題】 フォトダイオードの p n 接合部における過大なリーク電流を防止することのできる技術を提供する。

【解決手段】 フォトダイオード D_1 の n 型領域 4 a を素子分離部 2 から離間させ、さらに n 型領域 4 a と素子分離部 2 との間に相対的に高濃度の p 型領域 5 を形成することにより、フォトダイオード D_1 の n 型領域 4 a と p 型領域 5 との境界に生じる空乏層に及ぼす半導体基板 1 と素子分離部 2 との界面準位または半導体基板 1 を構成するシリコン単結晶の結晶不整合に起因した応力などの影響を小さくして、フォトダイオード D_1 の p n 接合におけるリーク電流を低減する。

【選択図】 図 3

特願 2 0 0 2 - 3 7 4 1 2 9

出 願 人 履 歴 情 報

識別番号

[5 0 0 4 9 5 2 5 6]

1. 変更年月日

2 0 0 0 年 1 0 月 2 5 日

[変更理由]

新規登録

住 所

茨城県ひたちなか市堀口 7 5 1 番地

氏 名

トレセンティテクノロジーズ株式会社